

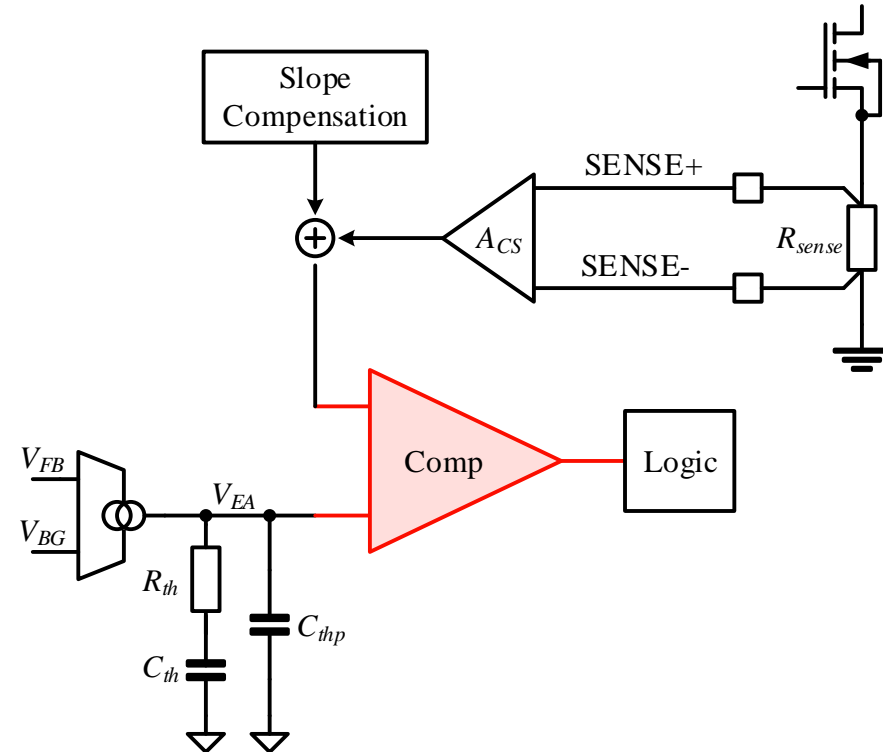
Hintergrund

Die Anforderungen an heutige moderne Schaltwandlerkonzepte werden durch die fortschreitende Miniaturisierung elektronischer Komponenten geprägt, bei gleichzeitiger Verbesserung der Systemeffizienz. Dieser Trend wird durch eine fortlaufende Steigerung der Schaltfrequenz vollintegrierter Schaltwandler erreicht.

Dabei steigen auch die Bandbreitenanforderungen der einzelnen Schaltungsteile des Wandlers. Um die transiente Charakteristik der Schaltung zu optimieren und eine bestmögliche Ausreglung von Störungen zu gewährleisten, muss die Totzeit innerhalb der Regelschleife möglichst minimiert werden. Als Beispiel sei hier der Komparator innerhalb der Stromschleife eines Current Mode geregelten Konverters genannt.

Aufgabe

In dieser Bachelorarbeit soll ein Komparatordesign entwickelt werden, welches eine möglichst geringe Signaldurchlaufzeit aufweist. Dabei wird das System zunächst modellhaft mit idealen Komponenten entwickelt und simulativ auf Funktion überprüft. Anschließend sollen die zentralen Systemkomponenten auf Transistorebene implementiert werden.



Betreuer

Michael Hanhart

Kopernikusstr. 16, 52074 Aachen

ICT Cubes 2. Etage, Room 207

☎ 0241 80-27744

✉ michael.hanhart@ias.rwth-aachen.de